

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **08313890 A**

(43) Date of publication of application: **29 . 11 . 96**

(51) Int. Cl. **G02F 1/1333**
G02F 1/136
G02F 1/136
G09F 9/30
H01L 27/00

(21) Application number: **07145688**

(22) Date of filing: **19 . 05 . 95**

(71) Applicant: **NEC CORP**

(72) Inventor: **IKENO HIDENORI**
KANO HIROSHI
MIZOBATA EIJI

(54) **LIQUID CRYSTAL DISPLAY ELEMENT AND ITS PRODUCTION**

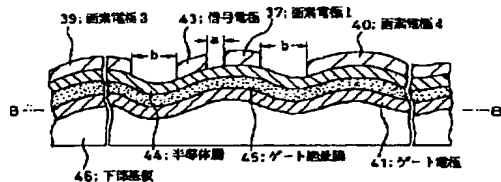
are not flattened.

COPYRIGHT: (C)1996,JPO

(57) Abstract:

PURPOSE: To provide a reflection type liquid crystal display element having a reflection plate possessing good reflection performance by using substrates subjected to surface roughening before formation of switching elements and having good image quality by simplifying the production process for the reflection type liquid crystal element having a light reflection layer between a liquid crystal layer and the substrates.

CONSTITUTION: This liquid crystal display element is constituted by arranging the first substrate having active elements, gate electrodes 41 for driving these active elements and the light reflection plate 40 in common use as pixel electrodes to receive the charges from the active elements on a substrate surface 46 having irregular ruggedness on the front surface and the second substrate attached with transparent electrodes on the front surface in such a manner that the respective front surface face to the inside surfaces and sealing liquid crystals contg. dichromatic dye into the spacing formed by the first and second substrates. Three-terminal or two-terminal elements, such as transistors and diodes, are used as the active elements. The active elements are formed on the substrates which



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平8-313890

(43)公開日 平成8年(1996)11月29日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/1333	5 0 0		G 0 2 F 1/1333	5 0 0
1/136	5 0 0		1/136	5 0 0
	5 1 0			5 1 0
G 0 9 F 9/30	3 1 1	7426-5H	G 0 9 F 9/30	3 1 1
H 0 1 L 27/00			H 0 1 L 27/00	

審査請求 有 請求項の数17 F D (全 13 頁)

(21)出願番号 特願平7-145688

(22)出願日 平成7年(1995)5月19日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 池野 英徳

東京都港区芝五丁目7番1号 日本電気株式会社内

(72)発明者 加納 博司

東京都港区芝五丁目7番1号 日本電気株式会社内

(72)発明者 溝端 英司

東京都港区芝五丁目7番1号 日本電気株式会社内

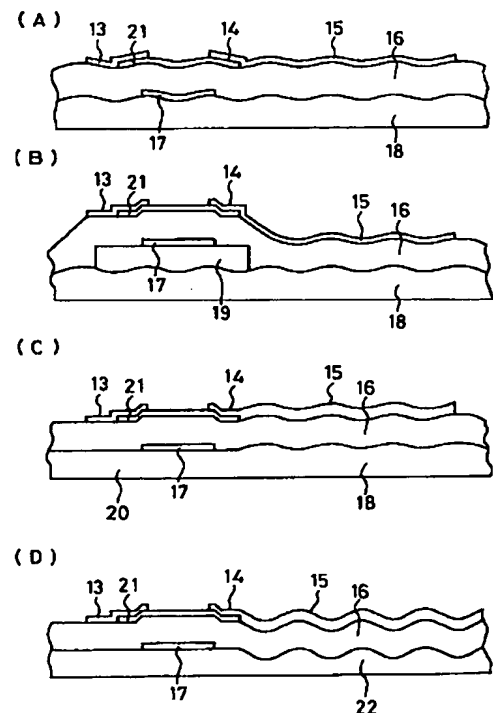
(74)代理人 弁理士 加藤 朝道

(54)【発明の名称】 液晶表示素子及びその製造方法

(57)【要約】

【目的】液晶層と基板の間に光反射層を有する反射型液晶素子において、スイッチング素子形成以前に粗面化した基板を用いることにより良好な反射性能を有する反射板と、製造プロセスの簡略化を行うことにより良好な画質を有する反射型液晶表示素子を低コストで提供する。

【構成】表面に不規則な凹凸を有する基板表面46に能動素子と、能動素子を駆動するためのゲート電極41と、能動素子からの電荷を受ける画素電極兼光反射板40を有する第1の基板と表面に透明電極を付けた第2の基板を各々の表面が内面を向くように配置し、第1と第2の基板がなす間隙に2色性色素を含む液晶が封入されてなり、能動素子としてはトランジスタやダイオード等の3端子もしくは2端子素子を用い、能動素子が平坦化されていない基板上に作成されてなる。



**【特許請求の範囲】**

【請求項1】マトリクス状に配置され画素電極を兼用する光反射板と、前記画素電極毎に前記画素電極への書き込み電荷を制御する能動素子と、を備えると共に、前記能動素子を作動させるための所定の配線を備えた第1の基板と、

前記画素電極に対向する透明電極を設けた第2の基板と、

前記第1、第2の基板との間に介装された液晶層と、を含む液晶表示素子において、

前記第1の基板表面が所定の凹凸を有し、前記能動素子が前記第1の基板の凹凸上に形成されたことを特徴とする液晶表示素子。

【請求項2】マトリクス状に配置され画素電極を兼用する光反射板と、前記画素電極毎に前記画素電極への書き込み電荷を制御する能動素子と、を備えると共に、前記能動素子を作動させるための所定の配線を備えた第1の基板と、

前記画素電極に対向する透明電極を設けた第2の基板と、

前記第1、第2の基板との間に介装された液晶層と、を含む液晶表示素子において、

前記第1の基板が前記光反射板の形成領域に対応する領域にのみ凹凸を備え、前記能動素子が前記第1の基板の平坦領域上に形成されたことを特徴とする液晶表示素子。

【請求項3】前記第1の基板が、基板表面全面に凹凸を有し、該凹凸領域上に選択的に有機系膜又は無機系膜が所定の膜厚で形成されてなる平坦化領域を備え、前記能動素子及び／又は配線が前記平坦化領域上に形成されてなることを特徴とする請求項2記載の液晶表示素子。

【請求項4】前記第1の基板が、基板表面全面に凹凸を有し、前記凹凸をエッチング処理により平坦化してなる平坦化領域を備え、前記能動素子及び／又は配線が前記平坦化領域上に形成されてなることを特徴とする請求項2記載の液晶表示素子。

【請求項5】前記第1の基板を鏡面状態とし、前記光反射板が形成される領域に対応する領域にのみ前記第1の基板表面に凹凸を有することを特徴とする請求項2記載の液晶表示素子。

【請求項6】前記能動素子が、トランジスタであることを特徴とする請求項1又は2記載の液晶表示素子。

【請求項7】前記トランジスタが、ゲート電極上部のみに半導体層が配置されてなることを特徴とする請求項5記載の液晶表示素子。

【請求項8】前記トランジスタが、前記第1の基板上部にパターン形成されたゲート電極上部を、絶縁層、半導体層、レジスト層にて全面が覆われた前記第1の基板の背面より露光し、前記ゲート電極の形状を反映したレジストパターンが最上部に形成され、該レジストパターン

を用いて、半導体層がパターン化されてなる自己整合プロセスで形成されたことを特徴とする請求項7記載の液晶表示素子。

【請求項9】前記トランジスタが、ゲート電極及びゲート信号線の周囲が絶縁膜で覆われていることを特徴とする請求項7記載の液晶表示素子。

【請求項10】前記能動素子が、2端子型の非線形抵抗素子であることを特徴とする請求項1又は2記載の液晶表示素子。

10 【請求項11】前記非線形抵抗素子が、前記第1の基板上部にパターン形成された信号配線上部を絶縁層、レジスト層にて全面が覆われた前記第1の基板の背面より前記信号配線と直交するストライプ状のマスクを用いて露光し、前記信号配線の形状とマスク形状を反映したレジストパターンが最上部に形成され、該レジストパターンを用いて、絶縁層がパターン化される自己整合プロセスで形成されることを特徴とする請求項10記載の液晶表示素子。

20 【請求項12】前記2端子型の非線形素子において、非線形素子は、信号を供給する配線と、該配線の側壁部の絶縁膜と画素電極を兼用する光反射板から構成されていることを特徴とする請求項10記載の液晶表示素子。

【請求項13】前記第1の基板表面の凹凸が、高さが0.5 μ mから10 μ m、ピッチが1 μ mから30 μ mまでの間においてランダムに配置されていることを特徴とする請求項1又は2記載の液晶表示素子。

30 【請求項14】マトリクス状に配置され画素電極を兼用する光反射板と、前記画素電極毎に前記画素電極への書き込み電荷を制御する能動素子と、を備えると共に、前記能動素子を作動させるための所定の配線を備えた第1の基板と、前記画素電極に対向する透明電極を設けた第2の基板と、

前記第1、第2の基板との間に介装された液晶層と、を含む液晶表示素子の製造方法において、

前記第1の基板表面において少なくとも前記光反射板が形成される領域に対応する領域に所定高さの凹凸を形成し、

40 前記第1の基板上に形成されたゲート電極のパターンを利用して前記第1の基板の背面側より露光して前記ゲート電極の形状を反映したレジストパターンを形成し、該レジストパターンを用いて半導体層を含む前記能動素子の活性層を自己整合的に形成し、

前記ゲート電極の側壁を陽極酸化により絶縁膜で覆い、前記光反射板を前記第1の基板の凹凸領域上部に形成することを特徴とする液晶表示素子の製造方法。

50 【請求項15】マトリクス状に配置され画素電極を兼用する光反射板と、前記画素電極毎に前記画素電極への書き込み電荷を制御する能動素子と、を備えると共に、前記能動素子を作動させるための所定の配線を備えた第1

の基板と、
前記画素電極に対向する透明電極を設けた第 2 の基板と、
前記第 1、第 2 の基板との間に介装された液晶層と、を含む液晶表示素子の製造方法において、
前記第 1 の基板上において前記光反射板の形成領域に対応する領域にのみ凹凸を備えると共に前記能動素子が形成される領域には平坦領域上を形成し、
前記第 1 の基板上の平坦領域上に半導体層を含む前記能動素子の活性層を形成し、
前記ゲート電極の側壁を陽極酸化により絶縁膜で覆い、
前記光反射板を前記第 1 の基板の凹凸領域上部に形成することを特徴とする液晶表示素子の製造方法。

【請求項 16】前記ゲート電極のパターンを利用して前記第 1 の基板の背面側より露光し、前記ゲート電極上部を、絶縁層、半導体層、レジスト層にて全面が覆われた前記第 1 の基板を背面側より露光し、該レジストパターンを用いて半導体層を含む前記能動素子の活性層を自己整合的に形成することを特徴とする請求項 15 記載の液晶表示素子の製造方法。

【請求項 17】マトリクス状に配置され画素電極を兼用する光反射板と、前記画素電極毎に前記画素電極への書き込み電荷を制御する能動素子と、を備えると共に、前記能動素子を作動させるための所定の配線を備えた第 1 の基板と、

前記画素電極に対向する透明電極を設けた第 2 の基板と、
前記第 1、第 2 の基板との間に介装された液晶層と、を含む液晶表示素子の製造方法において、
前記第 1 の基板表面において少なくとも前記光反射板が形成される領域に対応する領域に所定高さの凹凸を形成し、

前記能動素子が、前記第 1 の基板上部にパターン形成された信号配線上部を絶縁層が覆い、前記信号配線側壁に形成される 2 端子型の非線形素子からなり、

前記非線形素子が、前記第 1 の基板上部にパターン形成された信号配線上部を絶縁層、レジスト層で全面が覆われた前記第 1 の基板の背面側より前記信号配線と直交するストライプ状のマスキを用いて露光して前記信号配線の形状とマスク形状を反映したレジストパターンを形成し、該レジストパターンを用いて絶縁層がパターン化される自己整合プロセスで形成され、

前記絶縁層のパターン化により露出した前記信号配線側壁を陽極酸化により絶縁膜で覆い、前記画素電極を兼用する光反射板を前記第 1 の基板の凹凸領域上部に形成することを特徴とする液晶表示素子の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、反射型液晶表示用のアクティブマトリクス基板に関する。

【0002】

【従来の技術】近時、携帯型コンピュータ市場の拡大とともに、様々なニーズに応じた情報機器が提案されている。これを達成するためのキーテクノロジーの一つとして、液晶ディスプレイ (Liquid Crystal Display; 「LCD」 という) が挙げられる。

【0003】近年の LCD は、ラップトップパソコン、デスクトップパソコン、ワードプロセッサ、ワークステーション等の卓上での使用を前提とした機器の表示装置として開発されたため、LCD には、携帯性よりも表示性能の高画質化が優先されていた。その結果、バックライトを光源に採用した TN (Twisted Nematic) 液晶或いは、STN (Super Twisted Nematic) 液晶の透過型 LCD 方式が主流となった。

【0004】しかし、前記透過型 LCD 方式ではバックライトが必要とされるため、情報機器の小型化・軽量化、及び長時間使用には困難であるという問題を有する。そして、これが携帯型情報機器の進歩を阻む要因となっている。

【0005】これに対して、携帯型情報機器向けの LCD としてはバックライトの代わりに反射板を設け、外部入射光の反射光を光源に利用する反射型 LCD の採用が考えられている。この場合、外部光のみで明るい表示性能を得るために、液晶方式としては、光利用効率を下げる要因となる偏光板を必要としないゲスト・ホスト (GH) 方式を採用し、さらに反射板を液晶層とガラス基板との間に配置する方式が検討されている (例えば文献、「S. Mitsui et al., "Bright Reflective Multicolor LCDs Addressed by a-Si TFTs", Proc. SID, 第 437 頁」参照)。

【0006】以下に、図 15 を参照して、この従来方式について具体的構造例を説明する。

【0007】平坦な下部ガラス基板 10 上に、薄膜トランジスタ (TFT) 11 を作成した後、この TFT 11 上部に絶縁層 (「厚膜絶縁体」ともいう) 5 を配置し、さらに絶縁層 5 の表面に凹凸が形成されている。

【0008】絶縁層 5 の上に、液晶を駆動する画素電極を兼ねた金属反射板 (「反射画素電極」、「反射板兼電極」あるいは「反射板電極」ともいう) 4 が形成されている。

【0009】TFT 11 で駆動される反射板電極 4 を有するガラス基板 (「下部ガラス基板」ともいう) 10 と、透明電極 2 を有する対向側ガラス基板 (「上部ガラス基板」ともいう) 1 との間に、液晶層としてゲスト・ホスト (GH) 型液晶 3 が配設される。

【0010】画素電極を兼ねた反射板電極 4 の表面の凹凸は、広範囲からの入射光を効率よくパネル前方に反射すると同時に、干渉色等の色付きを無くすという機能を有する。

【0011】反射板電極 4 の製造方法の一例として、絶

縁層5の表面にフォトリソ技術、エッチング技術を施すことにより、高さ数 μm 程度の凹凸を形成し、その上部を高反射効率を有する金属で覆うようにするという方法が採用されている。

【0012】

【発明が解決しようとする課題】上記製造工程は、基本的には、従来の透過型LCDの製造工程に、更に反射板電極を作成するために、絶縁膜形成、凹凸形成、及びコンタクト形成工程が付加されたものである。

【0013】しかし、この場合、工程数の増加に伴う製造コストの増大を招く。

【0014】さらに、前記の如く、能動素子製造後に凹凸を形成するため、能動素子に対するダメージ（損傷、デバイス特性の劣化等）を与えることを回避することが反射板製造における絶対条件となる。このことが高性能反射板を有する反射型液晶表示素子の実現を困難にしてきた。

【0015】本発明は上記問題点に鑑みて為されたものであって、低コストで、良好な反射特性を有する反射板を備えた反射型液晶表示装置及びその製造方法を提供することを目的とする。

【0016】

【課題を解決するための手段】前記目的を達成するため、本発明は、マトリクス状に配置され画素電極を兼用する光反射板と、前記画素電極毎に前記画素電極への書き込み電荷を制御する能動素子と、を備えると共に、前記能動素子を作動させるための所定の配線を備えた第1の基板と、前記画素電極に対向する透明電極を設けた第2の基板と、前記第1、第2の基板との間に介装された液晶層と、を含む液晶表示素子において、前記第1の基板表面が所定の凹凸を有し、前記能動素子が前記第1の基板の凹凸上に形成されたことを特徴とする液晶表示素子を提供する。

【0017】本発明は、マトリクス状に配置され画素電極を兼用する光反射板と、前記画素電極毎に前記画素電極への書き込み電荷を制御する能動素子と、を備えると共に、前記能動素子を作動させるための所定の配線を備えた第1の基板と、前記画素電極に対向する透明電極を設けた第2の基板と、前記第1、第2の基板との間に介装された液晶層と、を含む液晶表示素子において、前記第1の基板が前記光反射板の形成領域に対応する領域にのみ凹凸を備え、前記能動素子が前記第1の基板の平坦領域上に形成されたことを特徴とする液晶表示素子を提供する。

【0018】本発明においては、好ましくは、前記第1の基板が、基板表面全面に凹凸を有し、該凹凸領域上に選択的に有機系膜又は無機系膜が所定の膜厚で形成されてなる平坦化領域を備え、前記能動素子及び／又は配線が前記平坦化領域上に形成されてなることを特徴とする。

【0019】本発明においては、好ましくは、前記第1の基板が、基板表面全面に凹凸を有し、前記凹凸をエッチング処理により平坦化してなる平坦化領域を備え、前記能動素子及び／又は配線が前記平坦化領域上に形成されてなることを特徴とする。

【0020】本発明においては、好ましくは、前記第1の基板を鏡面状態とし、前記光反射板が形成される領域に対応する領域にのみ前記第1の基板表面に凹凸を有することを特徴とする。

【0021】本発明においては、好ましくは、前記能動素子が、トランジスタであることを特徴とする。

【0022】本発明においては、好ましくは、前記トランジスタが、ゲート電極上部のみに半導体層が配置されてなることを特徴とする。

【0023】本発明においては、好ましくは、前記トランジスタが、前記第1の基板上部にパターン形成されたゲート電極上部を、絶縁層、半導体層、レジスト層にて全面が覆われた前記第1の基板の背面より露光し、前記ゲート電極の形状を反映したレジストパターンが最上部に形成され、該レジストパターンを用いて、半導体層がパターン化されてなる自己整合プロセスで形成されたことを特徴とする。

【0024】本発明においては、好ましくは、前記トランジスタが、ゲート電極及びゲート信号線の周囲が絶縁膜で覆われていることを特徴とする。

【0025】本発明においては、好ましくは、前記能動素子が、2端子型の非線形抵抗素子であることを特徴とする。

【0026】本発明においては、好ましくは、前記非線形抵抗素子が、前記第1の基板上部にパターン形成された信号配線上部を絶縁層、レジスト層にて全面が覆われた前記第1の基板の背面より前記信号配線と直交するストライプ状のマスクを用いて露光し、前記信号配線の形状とマスク形状を反映したレジストパターンが最上部に形成され、該レジストパターンを用いて、絶縁層がパターン化される自己整合プロセスで形成されることを特徴とする。

【0027】本発明においては、好ましくは、前記2端子型の非線形素子において、非線形素子は、信号を供給する配線と、該配線の側壁部の絶縁膜と画素電極を兼用する光反射板から構成されていることを特徴とする。

【0028】本発明においては、好ましくは、前記第1の基板表面の凹凸が、高さが0.5 μm から10 μm 、ピッチが1 μm から30 μm までの間においてランダムに配置されていることを特徴とする。

【0029】また、本発明は、マトリクス状に配置され画素電極を兼用する光反射板と、前記画素電極毎に前記画素電極への書き込み電荷を制御する能動素子と、を備えると共に、前記能動素子を作動させるための所定の配線を備えた第1の基板と、前記画素電極に対向する透明

電極を設けた第 2 の基板と、前記第 1、第 2 の基板との間に介装された液晶層と、を含む液晶表示素子の製造方法において、前記第 1 の基板表面において少なくとも前記光反射板が形成される領域に対応する領域に所定高さの凹凸を形成し、前記第 1 の基板上に形成されたゲート電極のパターンを利用して前記第 1 の基板の背面側より露光して前記ゲート電極の形状を反映したレジストパターンを形成し、該レジストパターンを用いて半導体層を含む前記能動素子の活性層を自己整合的に形成し、前記ゲート電極の側壁を陽極酸化により絶縁膜で覆い、前記光反射板を前記第 1 の基板の凹凸領域上部に形成することを特徴とする液晶表示素子の製造方法を提供する。

【0030】さらに、本発明は、マトリクス状に配置され画素電極を兼用する光反射板と、前記画素電極毎に前記画素電極への書き込み電荷を制御する能動素子と、を備えると共に、前記能動素子を作動させるための所定の配線を備えた第 1 の基板と、前記画素電極に対向する透明電極を設けた第 2 の基板と、前記第 1、第 2 の基板との間に介装された液晶層と、を含む液晶表示素子の製造方法において、前記第 1 の基板表面において前記光反射板の形成領域に対応する領域にのみ凹凸を備えると共に前記能動素子が形成される領域には平坦領域上を形成し、前記第 1 の基板上の平坦領域上に半導体層を含む前記能動素子の活性層を形成し、前記ゲート電極の側壁を陽極酸化により絶縁膜で覆い、前記光反射板を前記第 1 の基板の凹凸領域上部に形成することを特徴とする液晶表示素子の製造方法を提供する。

【0031】本発明においては、好ましくは、前記ゲート電極のパターンを利用して前記第 1 の基板の背面側より露光し、前記ゲート電極上部を、絶縁層、半導体層、レジスト層にて全面が覆われた前記第 1 の基板を背面側より露光し、該レジストパターンを用いて半導体層を含む前記能動素子の活性層を自己整合的に形成することを特徴とする。

【0032】そして、本発明は、マトリクス状に配置され画素電極を兼用する光反射板と、前記画素電極毎に前記画素電極への書き込み電荷を制御する能動素子と、を備えると共に、前記能動素子を作動させるための所定の配線を備えた第 1 の基板と、前記画素電極に対向する透明電極を設けた第 2 の基板と、前記第 1、第 2 の基板との間に介装された液晶層と、を含む液晶表示素子の製造方法において、前記第 1 の基板表面において少なくとも前記光反射板が形成される領域に対応する領域に所定高さの凹凸を形成し、前記能動素子が、前記第 1 の基板上部にパターン形成された信号配線上部を絶縁層が覆い、前記信号配線側壁に形成される 2 端子型の非線形素子からなり、前記非線形素子が、前記第 1 の基板上部にパターン形成された信号配線上部を絶縁層、レジスト層で全面が覆われた前記第 1 の基板の背面側より前記信号配線と直交するストライプ状のマスクを用いて露光して前記

信号配線の形状とマスク形状を反映したレジストパターンを形成し、該レジストパターンを用いて絶縁層がパターン化される自己整合プロセスで形成され、前記絶縁層のパターン化により露出した前記信号配線側壁を陽極酸化により絶縁膜で覆い、前記画素電極を兼用する光反射板を前記第 1 の基板の凹凸領域上部に形成することを特徴とする液晶表示素子の製造方法を提供する。

【0033】

【作用】本発明の原理・作用の詳細について以下に説明する。

【0034】図 1 は本発明の反射型液晶表示素子の好ましい態様を説明するための図である。図 1 (A)、図 1 (B)、図 1 (C) は、既に表面に凹凸を有するガラス基板を第 1 の絶縁性基板 18 として用いる場合を説明するための図であり、図 1 (D) は鏡面状態のガラス基板を第 1 の絶縁性基板 22 として用いる場合を説明するための図である。図 1 において、13 はソース電極、14 はドレイン電極、15 は反射板（「反射型画素電極」という）、16 はゲート絶縁膜、17 はゲート電極、18 はガラス基板（「粗面化ガラス基板」、「第 1 の絶縁性基板」ともいう）、19 は平坦化膜、20 は平坦領域、21 は半導体層、22 は凹凸形成層をそれぞれ示している。

【0035】図 1 (A) を参照して、本発明によれば、凹凸を有する反射板 15 を画素電極とし、アクティブマトリクス駆動するために該反射型画素電極 15 と接続されたスイッチング素子を有する第 1 の絶縁性基板 18 と、対向側に位置した透明電極を有する第 2 の絶縁性基板（不図示）で液晶層を挟み込んだ構造の反射型液晶表示装置の第 1 の絶縁性基板 18 として、高さ 0.5 ~ 10 μm の範囲の凹凸を有する基板を用いる。

【0036】この第 1 の絶縁性基板 18 の凹凸上部に、スイッチング素子（ゲート電極 17、ゲート絶縁膜 16、半導体層 21、及びソース・ドレイン電極 13、14 からなる逆スタガ構造のトランジスタ素子）及び反射板 15 を直接形成する。

【0037】これにより、凹凸形成プロセスをスイッチング素子形成以前に行なうことが可能とされることから、プロセス上の制約を受けることなく自由に凹凸形状を作ることができる。従って、良好な反射性能を有する反射板を再現性良く提供できる。

【0038】さらに、凹凸形成工程がスイッチング素子形成工程以前に行なわれることから凹凸形成工程がスイッチング素子へ与えるダメージも存在しないために、良好なパネル表示性能が得られる。

【0039】あるいは、図 1 (B) に示すように、凹凸を有する第 1 の絶縁性基板 18 の一部に平坦化膜 19 を形成して平坦化し、平坦化膜 19 の上部にスイッチング素子及び配線を形成する。または、図 1 (C) に示すように、凹凸を有する第 1 の絶縁性基板 18 の一部を平坦

化し（平坦領域20参照）、平坦領域20の上部にスイッチング素子及び配線を形成するようにしてもよい。

【0040】これにより、上記に示す作用と平坦部19、20上へスイッチング素子及び配線が形成されるため、再現性及び素子性能の均一及び信頼性が改善される。

【0041】さらに、図1（D）を参照して、第1の絶縁性基板18として鏡面研磨された平坦基板を用い、平坦基板上にスイッチング素子及び配線を形成すると共に、反射板形成領域上のみに凹凸が形成された領域（凹凸形成層22参照）を有する基板を用いるようにした場合にも上記と同様の作用効果が得られる。

【0042】なお、図1においては、TFT（薄膜トランジスタ）構造として逆スタガ構造を例に説明したが、順（正）スタガ構造を採用した場合においても、上記と同様の作用が得られる。

【0043】図2は、本発明に係る逆スタガ構造の薄膜トランジスタの製造方法を工程順に模式的に示す図である。図2において、27は凹凸表面を有する粗面化ガラス（第1の絶縁性基板）、23はゲート電極、24はゲート絶縁層、25は半導体層、26はレジスト層、28は陽極酸化膜層、29はソース電極、30は反射画素電極板をそれぞれ示している。

【0044】本発明に従えば、第1の絶縁性基板27上に形成されたゲート電極のパターン（図2（A）参照）を利用した背面露光プロセスにより、半導体層25を含む活性層は自己整合（self alignment）される（図2（B）参照）。

【0045】その後、ゲート電極23の側壁が陽極酸化により絶縁膜で覆われ（図2（C）の陽極酸化膜層28参照）、ソース、ドレイン電極29、30と絶縁される（図2（D）参照）。

【0046】これにより、背面露光プロセスを用いることで、基板凹凸の影響による目合わせの精度の劣化とは無関係にスイッチング素子のパターン化ができる。その結果、スイッチング素子性能の安定性、及び信頼性が確保でき、素子間における素子特性のばらつきがなくなる。さらに、フォトリソ工程が僅か2工程となるために低コスト化ができる作用を有する。

【0047】また、本発明は、前記作用に記載した図1（A）、図1（B）、図1（C）、図1（D）の基板を第1絶縁性基板として利用しても同様の作用が得られる。

【0048】本発明に従えば、アクティブマトリクス駆動スイッチング素子であるTFTの代わりに、金属／絶縁膜／金属（MIM）構造のダイオードを前述した図1（A）、図1（B）、図1（C）、図1（D）の基板上に製造した場合においても、前記ダイオード製造前に反射板凹凸構造が形成できるため、良好な反射性能を有する反射板を有する液晶表示素子が提供できる。

【0049】図3及び図4は、本発明のMIM構造ダイオードの製造方法の工程順に模式的に示す図である。

【0050】本発明に従えば、下部信号線32パターン（図3（A）参照）を利用した背面露光プロセスにより、レジスト層34と絶縁層33は自己整合される（図3（B）、図3（C）参照）。

【0051】その後、下部信号電極側壁35が絶縁膜により覆われることで（図4（D）参照）、上部反射画素電極板36と下部信号電極32とは電氣的に絶縁される（図4（E）参照）。

【0052】背面露光プロセスを用いることにより、目合わせズレとは無関係にスイッチング素子のパターン化ができる結果、スイッチング素子性能の安定性、及び信頼性が確保でき、素子特性のばらつきがなくなるという作用を有する。

【0053】また、フォトリソ工程数が、基本的に（1）信号線パターン形成、（2）絶縁膜パターン形成（背面露光）、（3）反射画素電極形成の3工程となり、低コストで反射型液晶表示素子を提供できる。

【0054】なお、本発明は、前述した図1（A）、図1（B）、図1（C）、図1（D）の基板を第1の基板として利用しても同様の作用が得られる。

【0055】

【実施例】図面を参照して、本発明の実施例を以下に説明する。

【0056】

【実施例1】本発明の一実施例としてスイッチング素子にトランジスタを用いて作成する液晶表示素子について説明する。

【0057】図5に、本実施例に従い作成したTFT素子を説明するための平面図を示す。また、図6に図5のA-A'線に沿った断面図を示し、図7に図5のB-B'線に沿った断面図を示す。

【0058】本実施例においては、下部基板46として、研磨材#1000番で研磨した粗面化ガラスを用いた。

【0059】研磨後の該ガラス基板表面には、高さが1～10μm程度の鋭角で且つ不規則な凹凸が形成されている。

【0060】該ガラス基板を50%濃度フッ化水素酸水溶液中において、25℃、40秒間エッチング処理を行い、滑らかな凹凸面を形成した。これにより、良好な反射性能が得られる凹凸面を下部基板46の全面に形成した。なお、このエッチング処理時間を変化させることにより、凹凸傾斜角度を自在に可変制御することができた。

【0061】その後、下部基板46上に、ゲート電極41としてTaを膜厚300nmスパッタ法により蒸着し、ゲート絶縁膜45としてSiNを膜厚500nm、半導体層44としてアモルファスシリコンを膜厚300nm、連続してプラズマCVD（化学気相成長）法によ

り成膜した。

【0062】次に、ゲート電極41の形（幅 $5\mu\text{m}$ の短冊状）にパターンニング処理を行った。

【0063】その際、基板表面の凹凸のため露光装置では焦点ズレが起こり、目合わせ精度を保証範囲内に収めることが困難となる。

【0064】そこで、本実施例では、下部基板46の裏面より露光処理を行う背面露光プロセスを採用し、ゲート電極41をマスクとして該ゲート電極形状と同一形状レジストパターンを形成した。このように、背面露光を用いてレジストパターンを形成したことにより、前記した焦点ズレに起因する問題を解決することができた。

【0065】また、背面露光の際、ガラス表面の凹凸による光散乱により、ゲートマスク領域の内側に光が進入し、マスク領域がゲート領域よりも小さくなる。

【0066】これを防ぐために、本実施例では、レジスト層として、ガラス基板と同一の屈折率を有する感光性有機膜を膜厚 $1\mu\text{m}$ 以上形成する。これにより、凹凸面が平坦化されて光散乱面が無くなり、ゲート電極と同一形状のレジストパターンが形成できる。

【0067】次に、ゲート電極41の形にエッチングを行ったレジストを残した状態で、基板を0.1wt%のクエン酸水溶液に浸し、2Vの定電圧により陽極酸化を行い陽極酸化膜47をゲート電極側壁に形成した。その際、レジスト層をアモルファスシリコンの保護膜として使用することにより、電解液（この場合0.1wt%クエン酸水溶液）による汚染を防止している。

【0068】そして、アルミニウムの蒸着を行い、画素電極及び信号電極43を形成した。本実施例では、図7のチャンネル長 a を $3\mu\text{m}$ 、信号線と隣接画素間距離 b を $30\mu\text{m}$ とした。

【0069】その後、表示部周辺の下部基板49の端子出し工程を行う。

【0070】なお、図3(B)の工程で、TFT素子部の $a\text{-Si}$ 層（アモルファスシリコン層）のアイランド化を行えば、ドレイン信号線と隣接画素の間にできる寄生トランジスタの発生を防ぐことができる。

【0071】TFT基板と、ガラス基板表面に透明導電膜として酸化インジウムスズ（Indium-Tin-Oxide；

「ITO」という）を蒸着したガラス基板を内側に膜面を向けて重ね合わせた。

【0072】なお、TFT基板と上部ガラス基板には配向処理が施されており、両基板の間にはプラスチック粒子等のスペーサを介し、周辺部にエポキシ系の接着剤を用いて張り合わされている。

【0073】その後、GH型の液晶を注入し液晶層とすることで液晶素子とした。

【0074】上記製造工程に従い製造された本実施例に係る液晶表示装置は、従来の反射型液晶パネルに匹敵するコントラスト比と白色度が得られた。

【0075】なお、今回試作した液晶表示装置におけるチャンネル長、信号線と隣接画素間距離（図7のa、b参照）等はあくまで一例を示すものであり、本発明はこれに限定されるものではない。

【0076】また、本実施例では、画素電極兼光反射板としてアルミニウム金属を用いたが、銀、或いは金属を多層膜として用いた場合でも同様な効果が得られる。

【0077】

【実施例2】本発明の第2の実施例を以下に説明する。
本実施例では、ガラス基板上にポリイミド膜（日産化学製RN-812）を $1\sim 10\mu\text{m}$ の範囲で成膜し、その後ポリイミド膜表面を研磨、エッチング処理を行うことにより凹凸形成を行った。

【0078】この不規則な凹凸を有する基板を第1の絶縁性基板18（図1参照、図6の下部基板46に対応）として用い、前記第1の実施例と同様にしてTFTを作成した。これにより得られた反射型液晶表示パネルは、前記第1の実施例と全く同様の表示性能を得ることができた。

【0079】

【実施例3】次に、本発明の第3の実施例を説明する。
本実施例では、反射型液晶素子の第1の絶縁性基板に窒化珪素を焼結させたセラミック基板を用いて、前記第1の実施例と同様のプロセスを用いて液晶表示装置の製造を行った。その結果、前記第1の実施例と同様の表示性能を得ることができた。

【0080】

【実施例4】次に、本発明の第4の実施例を説明する。
本実施例では、粗面化ガラス基板のTFT、及び配線が形成される領域を予め平坦化した基板を用いて反射型液晶表示素子を試作した。

【0081】TFTを製造する基板として、粗面化ガラス基板を第1の絶縁性基板として用い、フォトリソ工程により、TFT、及び配線が形成される領域以外をレジスト（OFPR-800C：東京応化製）で覆い、その後フッ化水素酸水溶液により凹凸部をエッチングした。

【0082】前記エッチング溶液には50%濃度を用い、 $1\sim 10$ 分間、凹凸をウェットエッチングした。該工程により、エッチング領域の凹凸高さは平均 $2\mu\text{m}$ から $0.1\mu\text{m}$ 以下にまで減少する（図8参照）。図8は、凹凸の平均高さ（縦軸）とエッチング時間（横軸）との関係を示す図である。

【0083】レジスト剥離した後、前記第1の実施例で説明した同一の製造プロセスにより、エッチング処理した平坦領域にはTFT及び配線が形成され、凹凸領域には反射板が形成された。

【0084】なお、本実施例のエッチング処理にはウェットエッチングを用いたが、4フッ化炭素（ CF_4 ）と酸素（ O_2 ）の混合ガスを用いたドライエッチングプロ

セスでも同様な効果が得られた。その際のドライエッチング条件としては、 CF_4 を20 sccmと O_2 を20 sccm流し、反応圧力を0.1 Torr、プラズマパワーを250Wとした。特に、ドライエッチングを用いた場合、異方性エッチングが可能であるために、平坦領域（図1（C）、図1（D）参照）を正確に形成することができた。

【0085】以上により、本実施例では、前記第1の実施例と同様に、明るい表示性能を有する反射型液晶表示素子を実現することができた。

【0086】

【実施例5】次に、本発明の第5の実施例を説明する。本実施例では、鏡面研磨されたガラス基板の反射板が形成される領域だけを凹凸化した基板を用いて、反射型液晶表示素子を試作した。図9は、本実施例に係る製造方法を工程順に模式的に説明する図である。

【0087】TFTを作成する基板として、鏡面研磨されたガラス基板49を第1の基板として用い、その後フォトリソ工程により、TFT及び配線が形成される領域50をレジスト層48で覆い、反射電極板52を形成する領域51にはパターンを不規則に配置した（図9（A）参照）。

【0088】その後、フッ化水素酸水溶液によりガラス基板49のエッチングを行った。前記エッチング溶液には50%濃度を用い1～6分間処理した。該工程により、エッチングにより形成された凹凸高さは平均1 μm から2 μm であった。

【0089】図9（B）に、上記エッチングにより得られたガラス基板49の断面を模式的に示す。領域50はその上にTFT及び配線が形成される平坦領域であり、表面に凹凸が形成された領域51上には反射電極板52が形成される

【0090】すなわち、本実施例においては、反射電極板52の形成領域のみに凹凸が形成され、TFT及び配線領域53は初期の平坦状態を維持できる。

【0091】レジスト剥離した後、前記実施例1で記載した同一の製造プロセスにより、TFT及び配線、反射板が形成される（図9（C）参照）。

【0092】なお、エッチング方法には、前記第4の実施例と同様にドライエッチング処理を行っても同様の結果が得られる。

【0093】以上により、本実施例では、前記第1の実施例と同様に、明るい表示性能を有する反射型液晶表示素子を実現することができた。

【0094】

【実施例6】次に、本発明の第6の実施例を説明する。本実施例では、スイッチング素子としてMIMダイオードを用いた場合の試作を行った。図10、図11、図12、図13は本実施例を説明するための図である。

【0095】本実施例における試作パネルを作成するた

めの下部基板58としては、前記第1の実施例で説明した研磨材#1000番による研磨により得られた粗面化ガラス基板を50%濃度フッ酸中において40秒エッチングしたものを用いた。

【0096】該粗面化ガラス基板の上に、リード電極56としてTaを膜厚500nmスパッタ法により作成し、幅が10 μm の短冊状になるようにエッチングを行った。

【0097】レジストの剥離後、絶縁膜59としてSiO₂膜を膜厚500nm蒸着した。

【0098】レジスト54を塗布後、基板裏面（レジストが塗布されていない面）より、幅が10 μm 、ピッチ100 μm のスリット状の光をリード電極と直交するように背面露光を行う。

【0099】現像後、絶縁膜59のエッチング処理を行った。この時の平面図を図10に、図10のa-b線、c-d線の断面を模式的に示す図を図11（A）、図11（B）にそれぞれ示す。

【0100】その後、リード線側壁部61は、0.1wt%のクエン酸水溶液に浸して、2Vの定電圧を印加することにより陽極酸化された。これにより、図11

（A）におけるリード電極56の露出部分の表面が陽極酸化絶縁薄膜61（図11（C）参照）で覆われる。

【0101】最後に光反射板兼電極60であるアルミニウム層を蒸着し、画素形状にエッチングすることにより光反射板兼電極を作成し、リード線/側壁部の陽極酸化膜/反射画素電極板間でMIM素子が形成される（図11（C）参照）。

【0102】図12に、完成した反射型液晶表示素子を模式的に示す斜視図を示す。また、図12におけるA-A'線とB-B'線に沿った断面図を図13、図14にそれぞれ示す。

【0103】その後、上記MIM基板と、透明導電膜のITOとが、リード電極と直交する方向に短冊状に形成した対向基板を、各々の膜面が対向するようにして重ね合わせた。

【0104】なお、MIM基板と対向基板には配向処理が施され、両基板はプラスチック粒子等のスペーサを介して、パネル周辺部にエポキシ系の接着剤を塗ることにより張り合わされた。

【0105】その後、GH型の液晶を注入し液晶層とすることにより液晶素子とした。

【0106】本発明により得られた液晶パネルは、従来の液晶パネルと同様のコントラスト比と白色度が得られた。従って、本発明を用いれば、低コストで、かつ良好な表示性能を有する反射型液晶表示素子が得られることを示した。

【0107】以上、本発明を上記各実施例に即して説明したが、本発明は上記態様にのみ限定されるものでなく、本発明の原理に準ずる各種態様を含むことは勿論で

ある。

【0108】

【発明の効果】以上説明したように、本発明によれば、液晶駆動用の非線形素子を液晶素子内部に有し、かつ光反射板を液晶素子内部に有するアクティブ駆動反射型液晶表示素子においてスイッチング素子及び配線等を製造する以前に、予め基板上に反射板表面に用いる凹凸面を作成することが可能とされるため、液晶素子パネルの低コスト化と最適な反射性能を有する反射板凹凸形成が可能となり、さらにアクティブマトリクス駆動素子の製造

プロセスにおいて背面露光処理により素子を自己整合することにより、素子特性のばらつきがなく、且つ優れたスイッチング性能を有する能動素子が得られるという効果を有する。

【0109】また、本発明の製造方法によれば、背面露光プロセスを用いたことにより、基板凹凸の影響による目合わせの精度の劣化とは無関係にスイッチング素子のパターン化が可能とされ、その結果スイッチング素子性能の安定性、及び信頼性が確保でき、素子間における素子特性のばらつきが低減回避すると共に、さらにフォト

リソ工程が僅か2工程となるために低コスト化ができるという効果を有する。

【図面の簡単な説明】

【図1】本発明に係る反射型液晶表示素子を説明するための図である。

【図2】本発明に係る反射型液晶表示素子におけるTFT製造工程を工程順に説明するための図である。

【図3】本発明に係る反射型液晶表示素子におけるMIM製造工程を工程順に説明するための図である。

【図4】本発明に係る反射型液晶表示素子におけるMIM製造工程を工程順に説明するための図である。

【図5】本発明の一実施例に係るTFTアクティブマトリクス駆動反射型液晶素子の平面図である。

【図6】図5のA-A'線に沿った断面を示す図である。

【図7】図5のB-B'線に沿った断面を示す図である。

【図8】粗面化ガラス表面凹凸平均高さとエッチング速度の関係を示す図である。

【図9】本発明の別の実施例における鏡面ガラス基板を用いた反射型液晶表示素子の製造工程を工程順に説明するための図である。

【図10】本発明の更に別の実施例におけるMIMアクティブマトリクス駆動反射型液晶素子の製造工程を工程順に説明するための平面図である。

【図11】本発明の更に別の実施例におけるMIMアクティブマトリクス駆動反射型液晶素子の製造工程を工程順に説明するための図である。

【図12】本発明の実施例によりランダムな凹凸面上に作成されたMIMアクティブマトリクス駆動反射型液晶

素子におけるMIM基板の斜視図である。

【図13】図11のA-A'線に沿った断面を示す図である。

【図14】図10のB-B'線に沿った断面を示す図である。

【図15】従来のTFT駆動反射型液晶表示素子の断面を示す図である。

【符号の説明】

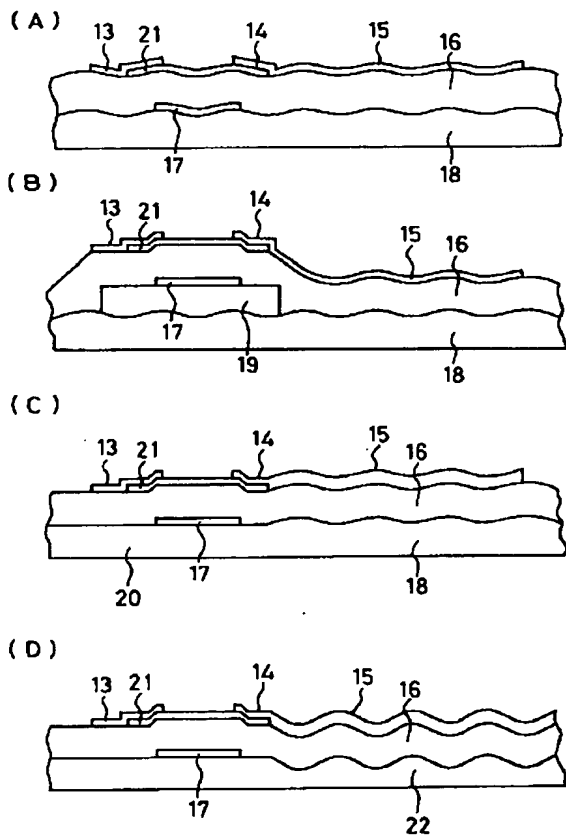
- 1 上部ガラス基板
- 2 透明電極
- 3 ゲスト・ホスト型液晶
- 4 反射板兼電極
- 5 厚膜絶縁体
- 6 アモルファスシリコン
- 7 リード電極
- 8 ゲート絶縁膜
- 9 ゲート電極
- 10 下部ガラス基板
- 11 TFT
- 12 パッシベーション
- 13 ソース電極
- 14 ドレイン電極
- 15 反射型画素電極
- 16 ゲート絶縁膜
- 17 ゲート電極
- 18 粗面化ガラス基板
- 19 平坦化膜
- 20 平坦領域
- 21 半導体層
- 22 凹凸形成層
- 23 ゲート電極
- 24 ゲート絶縁層
- 25 半導体層
- 26 レジスト層
- 27 粗面化ガラス
- 28 陽極酸化膜層
- 29 ソース電極
- 30 反射画素電極板
- 31 下部基板
- 32 信号線
- 33 絶縁層
- 34 レジスト層
- 35 陽極酸化層
- 36 反射画素電極板
- 37 画素電極1
- 38 画素電極2
- 39 画素電極3
- 40 画素電極4
- 41 ゲート電極
- 42 TFT部

- 43 信号電極
44 半導体層
45 ゲート絶縁膜
46 下部基板
47 陽極酸化膜
48 レジスト層
49 下部基板
50 平坦領域
51 凹凸部
52 反射電極板

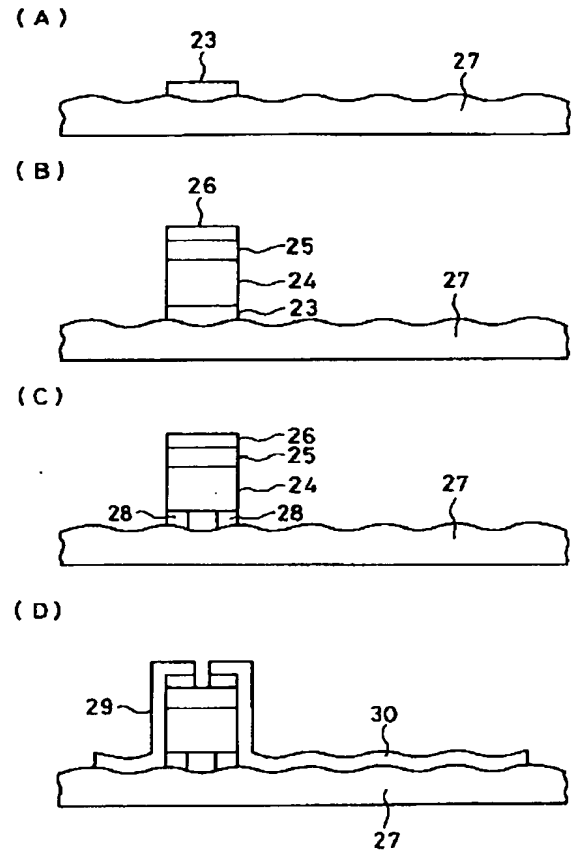
- * 53 T F T 及び配線形成部
54 レジスト層
55 下部基板
56 リード電極
57 M I M ダイオード形成領域
58 下部ガラス基板
59 絶縁膜
60 光反射板兼電極
61 陽極酸化絶縁薄膜

* 10

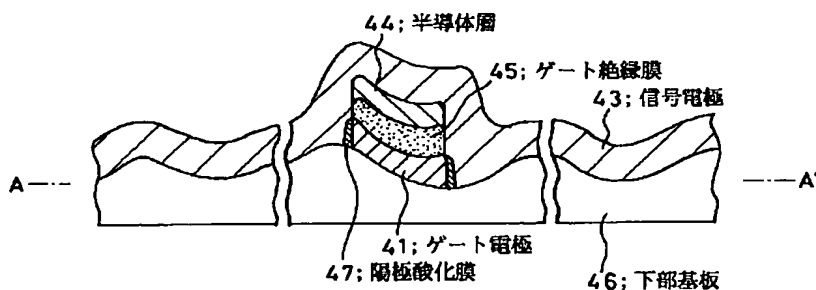
【図1】



【図2】

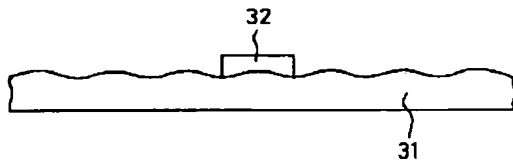


【図6】

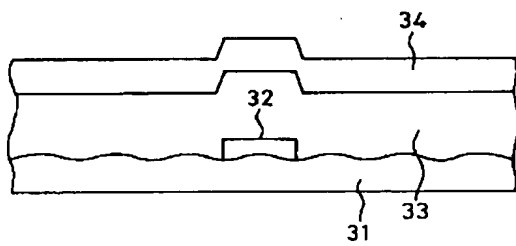


【図3】

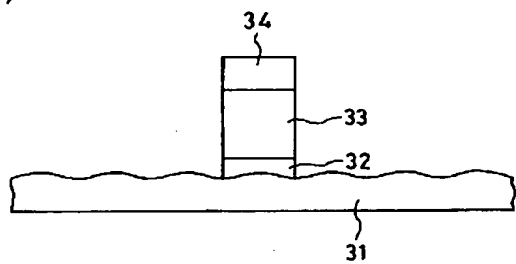
(A)



(B)

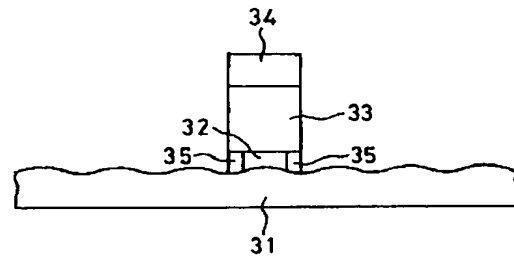


(C)

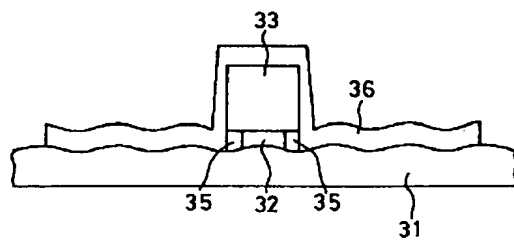


【図4】

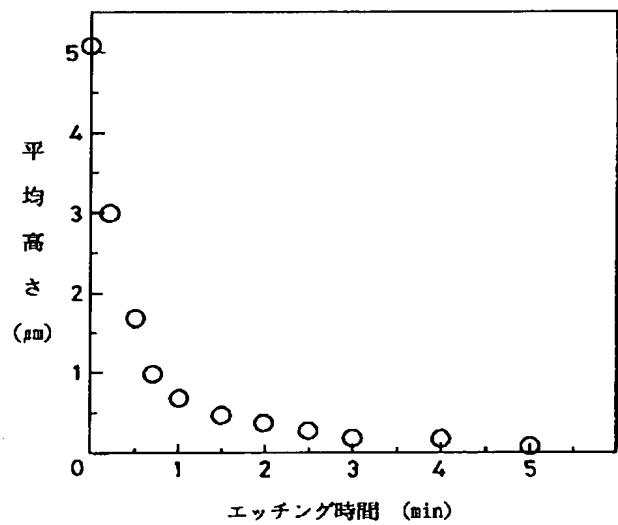
(D)



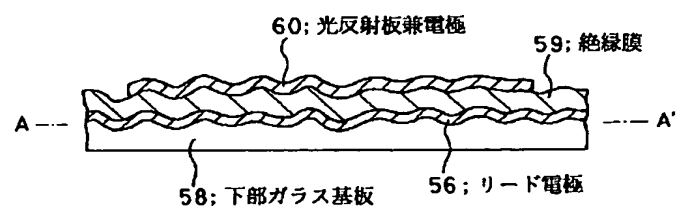
(E)



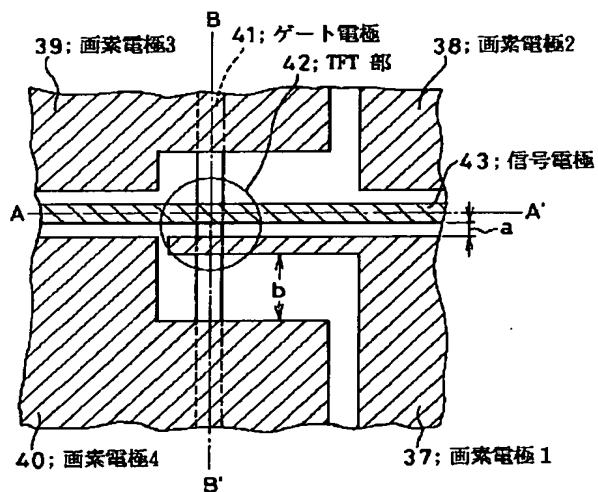
【図8】



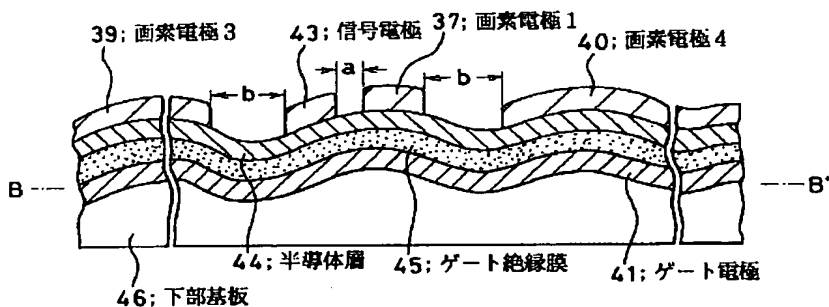
【図13】



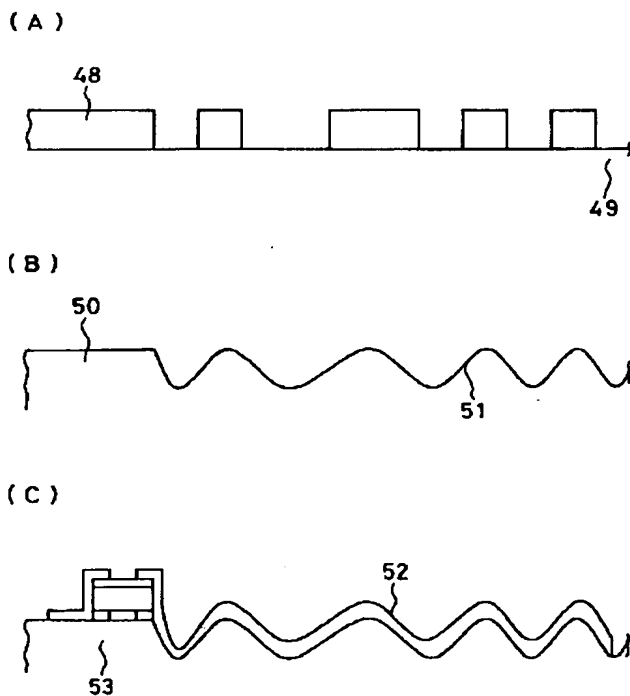
【図5】



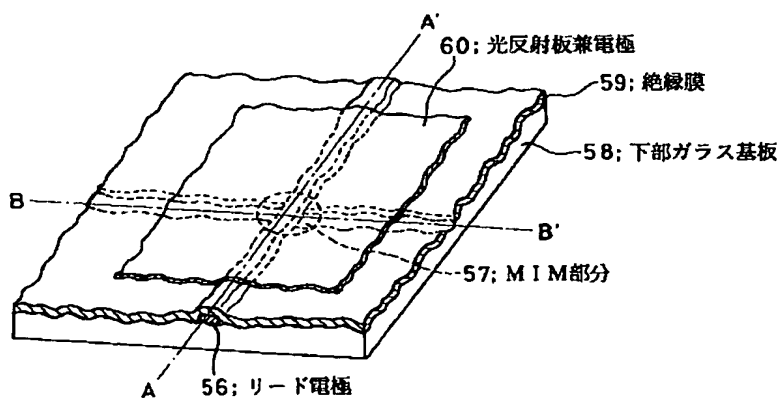
【図7】



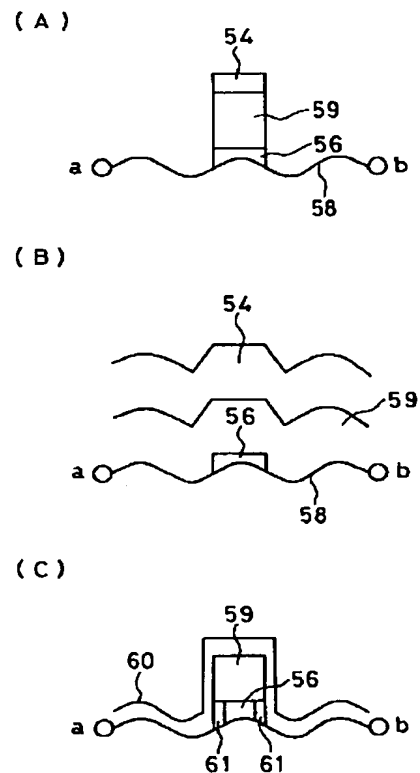
【図9】



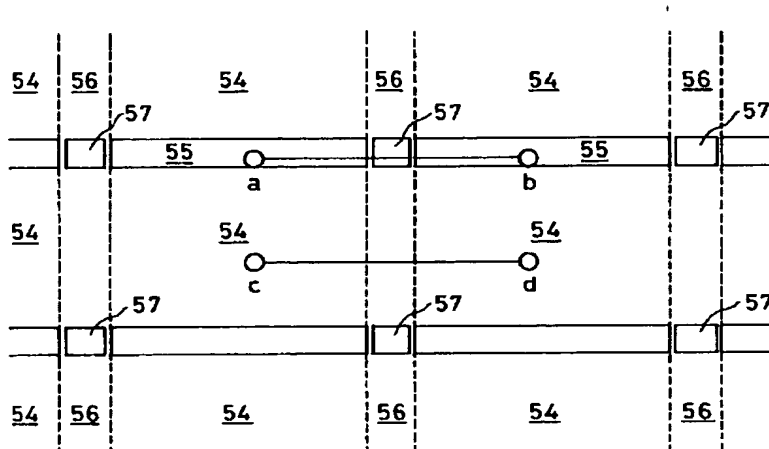
【図12】



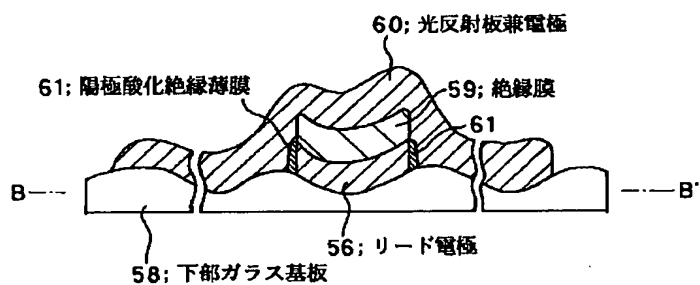
【図11】



【図10】



【図14】



【図15】

